



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07297188 A

(43) Date of publication of application: 10.11.95

(51) Int. Cl **H01L 21/3205**
H01L 27/04
H01L 21/822
H01L 29/41

(21) Application number: 06086371

(22) Date of filing: 25.04.94

(71) Applicant: **HITACHI LTD**(72) Inventor: **TSUNENO KATSUMI**
ICHIKAWA JINKO
MASUDA HIROO
SATO HISAKO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

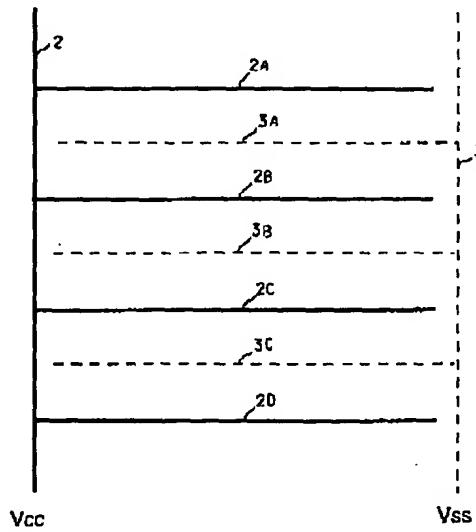
power-supply wiring layers which are insulated electrically in the holes is arranged as a counter grounding electrode.

(57) Abstract:

PURPOSE: To enhance the reliability of the operation of a semiconductor integrated circuit device and to reduce the power-supply noise of the semiconductor integrated circuit device in a simple process.

CONSTITUTION: A plurality of power-supply wirings 2A, 2B, 2C, 2D and grounding wirings 3A, 3B, 3C are formed in parallel so as to be adjacent to each other on the same layer on a semiconductor substrate. Wiring layers in which a plurality of power-supply wirings and grounding wirings which hold the arrangement relationship between the power-supply wirings and the grounding wirings are formed in many layers. Insulating films composed of an insulating material whose permittivity is large are formed between, and near, power-supply wirings and grounding wirings. The power-supply wirings and the grounding wirings are formed so as to be electrically insulated from each other on different layers on a semiconductor substrate, holes are made in power-supply wiring layers or grounding wiring layers, and a part of the grounding wiring or the power-supply wirings which are connected electrically to the grounding wirings layers or the

COPYRIGHT: (C)1995,JPO





(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-297188

(43)公開日 平成7年(1995)11月10日

(51)Int.Cl. [*]	識別記号	序内整理番号	F.I	技術表示箇所
H01L 21/3205 27/04 21/822			H01L 21/ 88 27/ 04	Z H
				審査請求 未請求 請求項の数5 OL (全7頁) 最終頁に続く
(21)出願番号	特願平6-86371		(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成6年(1994)4月25日		(72)発明者	常野 克己 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
			(72)発明者	市川 仁子 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
			(72)発明者	増田 弘生 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
			(74)代理人	弁理士 秋田 収喜 最終頁に続く

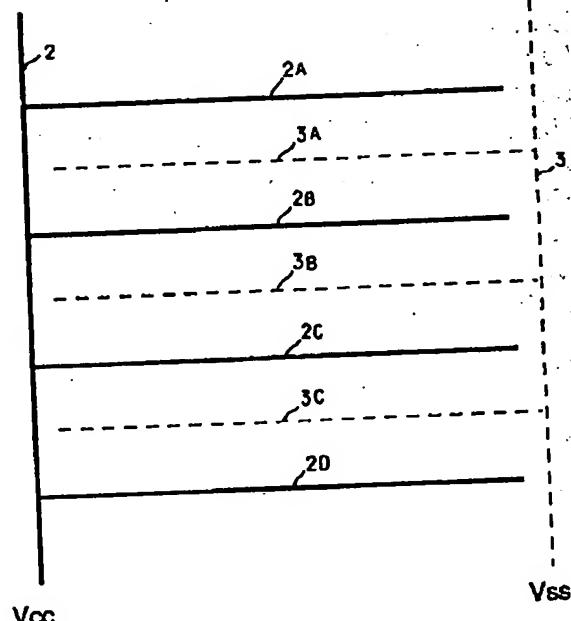
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 半導体集積回路装置の動作の信頼性を向上する。また、半導体集積回路装置の電源ノイズの低減を簡単な工程で実現する。

【構成】 複数の電源配線2A, 2B, 2C, 2Dとアース配線3A, 3B, 3Cが半導体基板上の同一層上に交互に隣接して並列に設けられている。また、前記電源配線とアース配線の配置関係を保持した複数の電源配線とアース配線が設けられた配線層を、多層に設けられている。また、前記電源配線とアース配線の間及び近傍に誘電率の大きな絶縁材料からなる絶縁膜が設けられている。電源配線とアース配線が半導体基板上の異なる層上に互に電気的に絶縁されて設けられ、かつ、前記電源配線層もしくはアース配線層に穴が設けられ、該穴の中に電気的に絶縁された前記アース配線層もしくは電源配線層と電気的に接続されたアース配線もしくは電源配線の一部が対向アース電極として配置されている。

図1



【特許請求の範囲】

【請求項1】 半導体集積回路装置において、複数の電源配線と複数のアース配線が半導体基板上の同一層上に交互に隣接して並列に設けられていることを特徴とする半導体集積回路装置。

【請求項2】 前記請求項1に記載の電源配線とアース配線の配置関係を保持した複数の電源配線と複数のアース配線が設けられた配線層を、複数層設けて各層間の電源配線同志及び各アース配線同志がそれぞれ連結線で電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項3】 半導体集積回路装置において、1枚のベタ導電膜からなる電源配線層と他の1枚のベタ導電膜からなるアース配線層が半導体基板上の異なる層上に互に電気的に絶縁されて設けられ、かつ、前記電源配線層に穴が設けられ、該穴の中に電気的に絶縁された前記アース配線層と電気的に接続されたアース配線の一部が対向アース電極として配置されていることを特徴とする半導体集積回路装置。

【請求項4】 半導体集積回路装置において、1枚のベタ導電膜からなる電源配線層と他の1枚のベタ導電膜からなるアース配線層が半導体基板上の異なる層上に互に電気的に絶縁されて設けられ、かつ、前記アース配線層に穴が設けられ、該穴の中に電気的に絶縁された前記電源配線層と電気的に接続された電源配線の一部が対向電源配線として配置されていることを特徴とする半導体集積回路装置。

【請求項5】 前記請求項1乃至4のうちいずれか1項に記載の半導体集積回路装置において、前記電源配線とアース配線の間及びそれらの近傍に誘電率の大きな絶縁材料からなる絶縁膜が設けられていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関し、特に、ゲートアレイ型半導体集積回路装置の電源配線とアース配線に適用して有効な技術に関するものである。

【0002】

【従来の技術】 微細加工技術の進歩に伴い、半導体集積回路装置の電源電圧は低下傾向を示している。このため、半導体集積回路装置を安定して動作させるには、電源の安定化が必要となるが、この問題解決として通常、ノイズフィルターとして電源とアース間に外付けの容量を接続する手段がとられている。この容量の付加手段は例えばコンデンサをハンダ付け等で行っている。

【0003】

【発明が解決しようとする課題】 しかしながら、本発明者は前記従来技術を検討した結果、次の問題点があることを見出した。

【0004】 すなわち、前記容量の付加手段では、余分な工程と部品を必要とする問題があった。また、ハンダ付け等で行うため信頼性の点で問題があった。

【0005】 本発明の目的は、半導体集積回路装置の電源ノイズの低減を簡単な工程で実現可能な技術を提供することにある。

【0006】 本発明の他の目的は、半導体集積回路装置の動作の信頼性を向上することが可能な技術を提供することにある。

10 【0007】 本発明の前記並びにその他の目的及び新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】 半導体集積回路装置において、(1)複数の電源配線と複数のアース配線が半導体基板上の同一層上に交互に隣接して並列に設けられている。

20 【0010】 (2) 前記(1)の電源配線とアース配線の配置関係を保持した複数の電源配線と複数のアース配線が設けられた配線層を、複数層設けて各層間の電源配線同志及び各層間のアース配線同志がそれぞれ連結線で電気的に接続されている。

【0011】 (3) 半導体集積回路装置において、1枚のベタ導電膜からなる電源配線層と他の1枚のベタ導電膜からなるアース配線層が半導体基板上の異なる層上に互に電気的に絶縁されて設けられ、かつ、前記電源配線層に穴が設けられ、該穴の中に電気的に絶縁された前記アース配線層と電気的に接続されたアース配線の一部が対向アース電極として配置されている。

30 【0012】 (4) 半導体集積回路装置において、1枚のベタ導電膜からなる電源配線層と他の1枚のベタ導電膜からなるアース配線層が半導体基板上の異なる層上に互に電気的に絶縁されて設けられ、かつ、前記アース配線層に穴が設けられ、該穴の中に電気的に絶縁された前記電源配線層と電気的に接続された電源配線の一部が対向電源配線として配置されている。

【0013】 (5) 前記(1)乃至(4)のうちいずれか一つの半導体集積回路装置において、前記電源配線とアース配線の間及びそれらの近傍に誘電率の大きな絶縁材料からなる絶縁膜が設けられている。

【0014】

【作用】 前記手段の(1)～(5)によれば、半導体集積回路装置の同層において、電源配線とアース配線との間に容量を設けることができるので、電源電圧の安定化をはかることができる。これにより、半導体集積回路装置の動作の信頼性を向上することができる。

50 【0015】

【実施例】以下、本発明の実施例を図面を参照して詳細に説明する。なお、実施例を説明するための全図において、同一機能を有するものは同一名称及び同一符号を付与し、その繰り返しの説明は省略する。

【0016】(実施例1) 図1は本発明をゲートアレイ型の半導体集積回路装置に適用した実施例1の電源配線とアース配線のみを示した平面図、図2は本実施例1の実際の半導体集積回路装置の平面であり、1は半導体素子(M)、2は電源配線(Vcc)の連結線、2A, 2B, 2C, 2Dは各電源配線(Vcc)、3はアース配線(Vss)の連結線、3A, 3B, 3Cは各アース配線(Vss)である。

【0017】本実施例1のゲートアレイ型の半導体集積回路装置の電源配線とアース配線は、図1に示すように、複数の電源配線2A, 2B, 2C, 2Dと複数のアース配線3A, 3B, 3Cとが半導体基板(図示していない)上の同一層上に交互に電気的に絶縁(絶縁材は図示していない)され、隣接して並列に設けられている。すなわち、前記電源配線またはアース配線の左右に前記アース配線または電源配線が並列に隣接(近接)して設けられている。このように構成することにより、同層において、電源配線とアース配線との間に容量を発生させることができる。

【0018】(実施例2) 図3は本発明をゲートアレイ型の半導体集積回路装置に適用した実施例2の電源配線とアース配線の構成を説明するための模式図である。

【0019】本実施例2のゲートアレイ型の半導体集積回路装置の電源配線とアース配線は、図3に示すように、半導体基板上の第1層に一枚のベタ導電膜からなるアース配線(Vss)用の導電膜20が設けられ、このアース配線用の導電膜20の上層の同一面上に一枚のベタ導電膜からなる電源配線(Vcc)用の導電膜10が設けられている。この電源配線用の導電膜10上に複数の長方形状穴11を複数並列に設けて電源配線2A, 2B, 2C, 2Dを形成し、前記複数の長方形状穴11の内に前記アース配線用の導電膜20に連結線3で電気的に接続された複数の平板状アース配線3A, 3B, 3Cを前記電源配線2A, 2B, 2C, 2Dと互に電気的に絶縁されて配置されている。

【0020】このように構成することにより、同層において、電源配線とアース配線との間にさらに大きな容量を発生させることができる。

【0021】また、本実施例2では、電源配線用の導電膜10上に複数の長方形状穴11を複数並列に設けて電源配線2A, 2B, 2C, 2Dを形成し、前記複数の長方形状穴11の内に前記アース配線用の導電膜20に連結線3で電気的に接続された複数の平板状アース配線3A, 3B, 3Cを前記電源配線2A, 2B, 2C, 2Dと互に電気的に絶縁されて配置されている構成にしたが、アース配線用の導電膜20上に複数の長方形状穴1

1を複数並列に設けて複数のアース配線を形成し、前記複数の長方形状穴11の内に前記電源配線用の導電膜10に連結線2で電気的に接続された電源配線を前記アース配線と互に電気的に絶縁されて配置されている構成にしても同様の効果を得ることができる。

【0022】(実施例3) 図4は本発明をゲートアレイ型の半導体集積回路装置に適用した実施例3の電源配線とアース配線の構成を説明するための模式図である。

【0023】本実施例3のゲートアレイ型の半導体集積回路装置の電源配線とアース配線は、図4に示すように、半導体基板上の第1層の同一面上に電源配線(2A, 2B)とアース配線(3A, 3B, 3C)とが交互に電気的に絶縁されて隣接して並列に設けられている。そして、第2層の同一面上にも第1層と同じ構成の電源配線(2A, 2B)とアース配線(3A, 3B, 3C)とが交互に隣接して並列に電気的に絶縁されて設けられ、第3層の同一面上に電源配線2Aとアース配線3Aが電気的に絶縁されて隣接して並列に設けられている。前記各層間の電源配線2A, 2Bを連結線2で電気的に接続し、各層間のアース配線3A, 3B, 3Cを連結線3で電気的に接続したものである。このように構成することにより、同層において、電源配線とアース配線との間にさらに大きな容量を発生させることができる。

【0024】(実施例4) 図5は本発明をゲートアレイ型の半導体集積回路装置に適用した実施例4の電源配線とアース配線の構成を説明するための模式図である。

【0025】本実施例4のゲートアレイ型の半導体集積回路装置の電源配線とアース配線は、図5に示すように、半導体基板上の第1層の同一面上に一枚のベタ導電膜からなるアース配線用の導電膜20が設けられ、第2層の同一面上に一枚のベタ導電膜からなる電源配線用の導電膜10が設けられている。この電源配線用の導電膜10上に複数の正方形状穴11A, 11B, 11C, 11D・・・がマトリクス状に設けられて格子状の電源配線2Nを形成し、前記正方形状穴11A, 11B, 11C, 11D・・・の内に前記アース配線用の導電膜20に連結線3で電気的に接続された複数のアース配線電極4A, 4B, 4C・・・が配置されている。このように構成することにより、同層において前記格子状の電源配線2Nとアース配線電極4A, 4B, 4C・・・との間にさらに大きな容量を発生させることができる。

【0026】また、本実施例4では、電源配線用の導電膜10上に複数の正方形状穴11A, 11B, 11C, 11D・・・がマトリクス状に設けられて格子状の電源配線2Nを形成し、前記正方形状穴11A, 11B, 11C, 11D・・・の内に前記アース配線用の導電膜20に連結線3で電気的に接続された複数のアース配線電極4A, 4B, 4C・・・が配置されている構成にしたが、アース配線用の導電膜20上に複数の正方形状穴11A, 11B, 11C, 11D・・・がマトリクス状に

設けられて格子状のアース配線を形成し、前記正方形状穴11A, 11B, 11C, 11D…の内に前記電源配線用の導電膜10に連結線2で電気的に接続された複数の電源配線電極が配置されている構成にしても同様の効果を得ることができる。

【0027】(実施例5)図6は本発明をゲートアレイ型の半導体集積回路装置に適用した実施例5の電源配線とアース配線の構成を説明するための模式図である。

【0028】本実施例5のゲートアレイ型の半導体集積回路装置の電源配線とアース配線は、図6に示すように、前記実施例4の第2層の同一面上に設けられた一枚のベタ導電膜からなる電源配線用の導電膜10の上に、さらに、第3層として、同一構成の電源配線用の導電膜10を設けたものである。このように構成することにより、電源配線電極及びアース配線電極を多数設けることができ、かつ、同層において、電源配線とアース配線との間にさらに大きな容量を発生させることができる。

【0029】(実施例6)図7は本発明をゲートアレイ型の半導体集積回路装置に適用した実施例6の電源配線とアース配線の構成を説明するための模式図である。

【0030】本実施例6のゲートアレイ型の半導体集積回路装置の電源配線とアース配線は、図7に示すように、複数の電源配線2A, 2B, 2Cと複数のアース配線3A, 3Bとが半導体基板(図示していない)上の同一層上に交互に電気的に絶縁(絶縁材は図示していない)されて設けられている。前記電源配線2A, 2B, 2Cと複数のアース配線3A, 3Bとの間及びその近傍に誘電率の大きい絶縁材料5、例えば、窒化シリコン(SiN_x)が設けられている。このように構成することにより、同層の電源配線2A, 2B, 2Cとアース配線3A, 3Bとの間に、さらに、大きな容量を発生させることができる。

【0031】以上、本発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更し得ることはいうまでもない。

【0032】

【発明の効果】本願において開示される発明のうち代表

的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0033】すなわち、半導体集積回路装置の同層において、電源配線とアース配線との間に容量を設けることができる、電源電圧の安定化をはかることができる。これにより、半導体集積回路装置の動作の信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明をゲートアレイ型の半導体集積回路装置に適用した実施例1の電源配線とアース配線のみを示した平面図である。

【図2】本実施例1の実際の半導体集積回路装置の平面である。

【図3】本発明をゲートアレイ型の半導体集積回路装置に適用した実施例2の電源配線とアース配線の構成を説明するための模式図である。

【図4】本発明をゲートアレイ型の半導体集積回路装置に適用した実施例3の電源配線とアース配線の構成を説明するための模式図である。

【図5】本発明をゲートアレイ型の半導体集積回路装置に適用した実施例4の電源配線とアース配線の構成を説明するための模式図である。

【図6】本発明をゲートアレイ型の半導体集積回路装置に適用した実施例5の電源配線とアース配線の構成を説明するための模式図である。

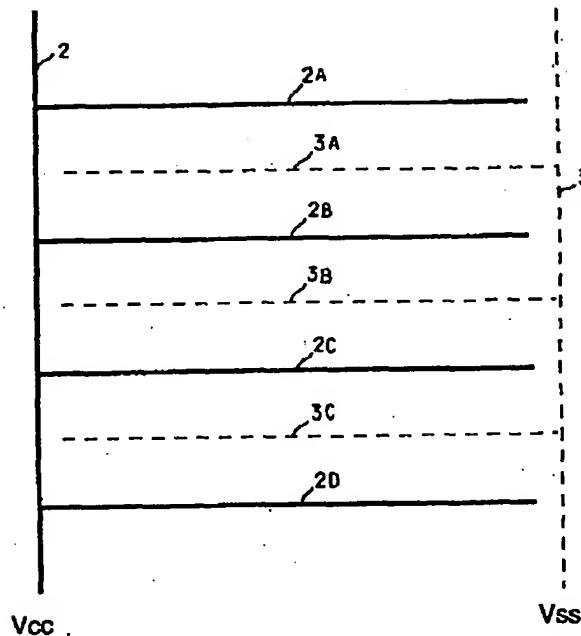
【図7】本発明をゲートアレイ型の半導体集積回路装置に適用した実施例6の電源配線とアース配線の構成を説明するための模式図である。

【符号の説明】

1…半導体素子(M)、2…電源配線(Vcc)の連結線、2A, 2B, 2C, 2D…各電源配線(Vcc)、2N…格子状の電源配線、3はアース配線(Vss)の連結線、3A, 3B, 3C, 3D…各アース配線(Vss)、4A, 4B, 4C…アース配線電極、5…誘電率の大きい材料、10…電源配線用の導電膜、11…長方形状穴、11A, 11B, 11C, 11D…正方形状穴、20…アース配線用の導電膜。

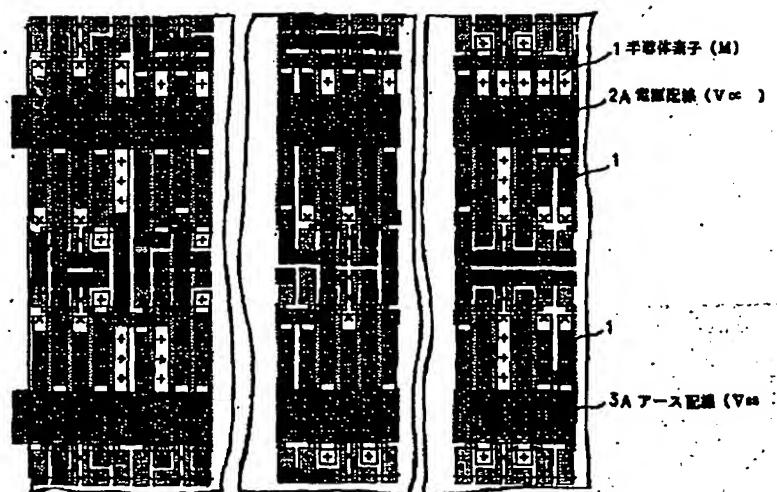
【図1】

図1

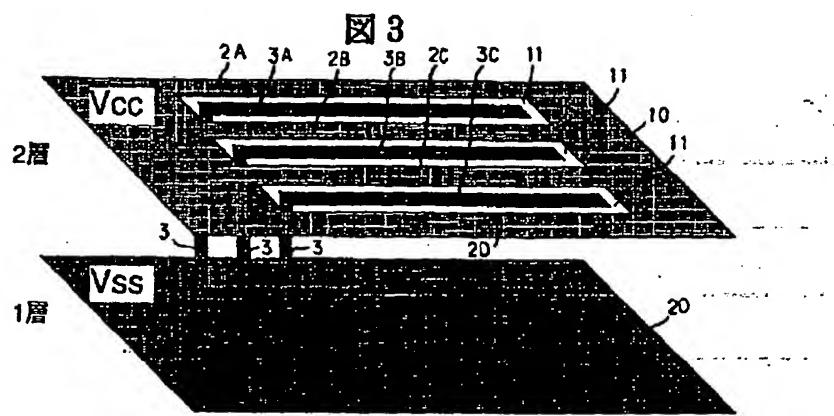


【図2】

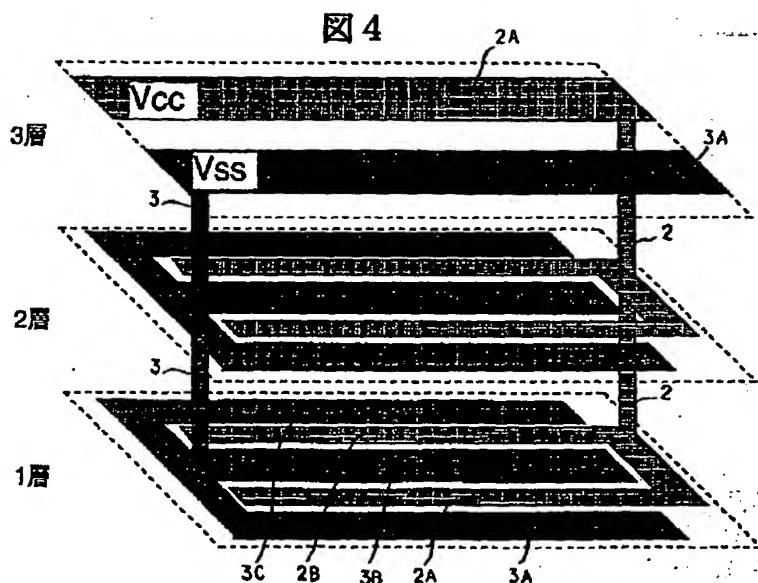
図2



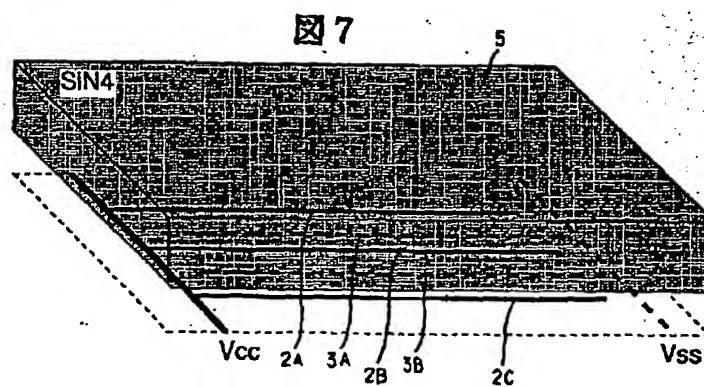
【図3】



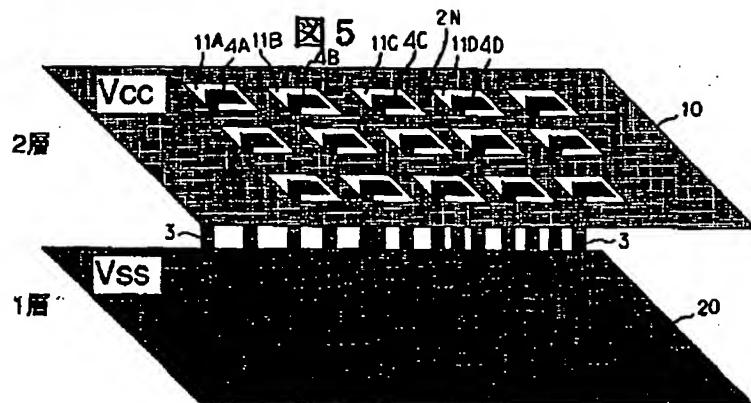
【図4】



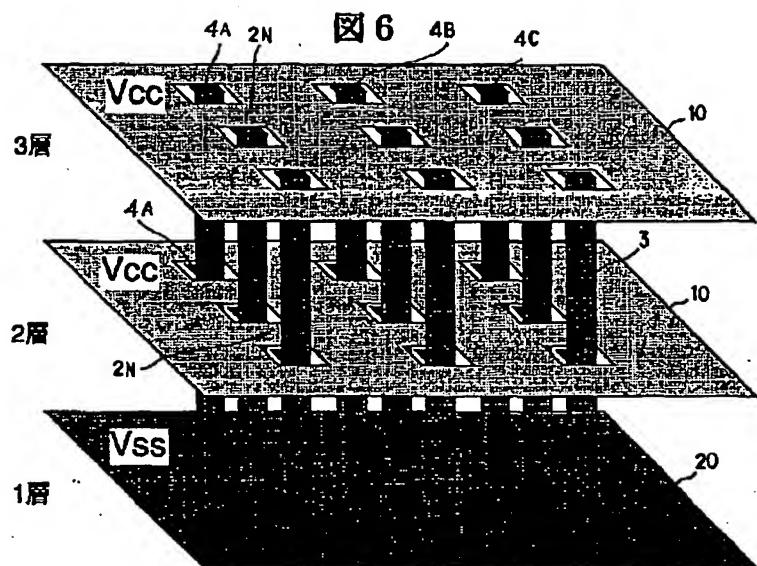
【図7】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.*

H 01 L 29/41

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 27/04

29/44

D

F

(72)発明者 佐藤 久子

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

